

Beschreibung

Aktive Schutzschaltungsanordnung

Die Erfindung betrifft eine Schaltungsanordnung zum Schutz von integrierten Halbleiterschaltungen vor elektrischen Pulsen oder elektrischen Überspannungen.

Derartige Pulse oder Überspannungen können beispielsweise bei sogenannten elektrostatischen Entladungen auftreten (englisch: ESD, Electrostatic Discharge). Die elektrostatischen Entladungen können zu Schäden an integrierten elektronischen Schaltkreisen bis hin zu deren Totalzerstörung führen.

Aktive ESD-Schutzschaltungen für verschiedenste Anwendungen gewinnen zunehmend an Bedeutung, z.B. in der Automobiltechnik. Hier besteht das Erfordernis, derartige Schaltungen auch für deutlich höhere ESD-Pegel als bisher üblich auszulegen. Aktive ESD-Schutzschaltungen werden meistens durch den Anstieg des ESD-Signals getriggert. Der Spannungsanstieg pro Zeiteinheit wird dabei detektiert und über eine Ansteuersetzung ein Schutztransistor durchgeschaltet.

Aus der US 6,465,768 ist ein ESD-Schutzmittel in integrierter Schaltungstechnik mit einem n-Kanal MOS-Feldeffekttransistor und einem parasitären npn-Bipolartransistor bekannt, dessen Kollektor-Emitter-Strecke parallel zum NMOS-Transistor geschaltet ist. Weiterhin ist eine p-Wanne mit einem Bias-Schaltkreis vorgesehen, der bei Auftreten eines ESD-Pulses einen triggernden Substratstrom auslöst, welcher wiederum den parasitären Bipolar-Junction-

Transistor durchschaltet, so daß eine ESD-Überspannung an einem I/O-Pin des Schaltkreises schnell abgeleitet wird. Oft ist gewünscht, nicht nur ein separates I/O-Pad vor ESD-Einwirkung zu schützen, sondern auch die Versorgungsleitung 5 selbst.

Aus der US 5,559,659 ist eine aktive Schutzschaltung an-
nung bekannt, die ein RC-Element umfasst, welches eine nach-
geschaltete Inverterkette triggert, die einen Schutztransis-
tor 10 ansteuert. Im Fehlerfall, also bei Vorliegen einer unzu-
lässig hohen Spannung, wird diese Überspannung durch den
Schutztransistor gegen Masse abgeleitet und so nachfolgende
Baugruppen vor der hohen Spannung schützt. Der Transistor
kann demnach als aktiv getrigerter Überspannungsableiter
15 verstanden werden.

Bei ESD-Schaltungen können verschiedene Probleme auftreten.
Einerseits ist es nicht erwünscht, daß der Schutztransistor
beim Hochfahren der Spannung (power-on) des Schaltkreises
20 aktiviert wird. Das kann bei entsprechender Dimensionierung
der ESD-Schaltung z.B. geschehen aufgrund eventuell auftre-
tender, steiler Signalflanken der Versorgungsspannung oder
auch bereits, weil die Anstiegszeit der Spannung auf der
Versorgungsleitung nicht ausreichend langsamer ist als die
25 Anstiegszeit eines ESD-Pulses. Dann benötigt man einen grö-
ßen Strom während der Hochfahrzeit, um die aktive Schutz-
schaltung wieder auszuschalten.

Ein weiteres Problem kann im Fall eines unerwünschten An-
30 sprechens der ESD-Schaltung beim Hochfahren der Spannung
(power-up) des Schaltkreises dadurch entstehen, dass auf-
grund des so aktivierten Schutztransistors in unerwünschter
Weise die Versorgungsspannung einbricht oder zumindest die

Anstiegszeit verlangsamt wird. Dadurch wiederum wird der Schutztransistor hochohmig und kann ganz abschalten. Das darauf folgende schnelle Ansteigen der Versorgungsspannung kann, wie leicht vorstellbar ist, dazu führen, dass auf der

5 Versorgungsleitung ein Schwing- oder Kippeffekt auftritt.

Dieses nachteilhafte Verhalten beim Einschalten der Versorgungsspannung kann auch im Normalbetrieb durch elektromagnetische Störeinkopplungen ausgelöst werden. Die Schwing- oder Kippeffekte wiederum führen zu langen Einschaltzeiten des integrierten Schaltkreises, die unerwünscht sind, weil geringe Einschaltzeiten ein bedeutender Aspekt der Produktspezifikation sind und somit einen Wettbewerbsvorteil darstellen. Auch führen die Schwing- oder Kippeffekte zu einer geringeren EMC-Fähigkeit des Produkts.

15

Im Betrieb der Schaltung kann ein „ripple“, also eine kurze Störung der Versorgungsspannung, als ESD-Ereignis gewertet werden und ein Einschalten des Schutztransistors bewirken.

20 Dadurch fließt kurzzeitig Strom von der VDD-Leitung weg durch den Schutztransistor, was den ripple zu einer größeren Störung macht. Eine Abhilfe durch externes Stützen der Versorgung erhöht den Aufwand.

25 Es kann weiter vorgesehen sein, bei Tests der Funktionsfähigkeit von zu schützenden Schaltungen auf elektromagnetische Verträglichkeit (EMV oder EMC(Electromagnetic Compatibility)) EMC-Testsignale als Störsignale einzusetzen. Wenn die Schutzschaltungsanordnung auf diese schnellen Störsignale zu empfindlich reagiert, kann die Schutzschaltung aktiviert werden und ein erneutes Hochfahren der Versorgungsspannung (power-on-reset) auslösen. Dies bedeutet einen

30 Fehlzustand der EMC-Charakterisierung.

Der Erfindung liegt die Aufgabe zugrunde, eine aktive Schutzschaltung anzugeben, die ein demgegenüber verbessertes Ansprechverhalten zeigt.

5 Diese Aufgabe löst die Erfindung mit den Merkmalen des Patentanspruchs 1. Vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung sind Gegegnstand der abhängigen Ansprüche.

10 Die Erfindung wird im folgenden anhand von Ausführungsbeispielen im Zusammenhang mit den Figuren 1 und 2 näher erläutert.

Es zeigen

15 Figur 1 eine bereits erwähnte schematisch dargestellte Schutzschaltungsanordnung nach dem Stand der Technik,

20 Figur 2 eine schematisch dargestellte Schutzschaltungsanordnung mit verbesserten Eigenschaften und.

Figur 3 die Schutzschaltungsanordnung nach Figur 2 mit CMOS-Invertern.

25 Gleiche oder gleichwirkende Elemente sind in den Figuren mit gleichen Bezugszeichen versehen.

Gemäß Figur 1 ist die bekannte aktive Schutzschaltung 1 an 30 eine Leitung VDD mit Versorgungspotential und eine Leitung VSS mit Bezugspotential angeschlossen. Zwischen VDD und VSS liegt somit die Versorgungsspannung. Parallel zu dieser Schutzschaltung kann einerseits eine Eingangsschaltung

5

und/oder andererseits eine zu schützende Nutzschaltung angeschlossen sein, die in der Figur nicht dargestellt sind. Die Eingangsschaltung kann auch einfach ein mit VDD verbundener Anschluss (pad) sein.

5

Der Widerstand R1 bildet mit der Kapazität C1 ein RC-Glied. Bevorzugt ist der Widerstand R1 als Diffusionswiderstand und die Kapazität C1 als Oxid- bzw. Gateoxidkapazität ausgebildet.

10

Beim Auftreten eines ESD-Pulses oder einer EMC-Störung triggert das RC-Glied aus R1 und C1 eine nachgeschaltete Inverterkette aus den seriell hintereinander geschalteten Invertern I1, I2 und I3. Ein Inverter invertiert das an seinem Eingang anliegende Signal und stellt dieses an seinem Ausgang bereit. Der Ausgang von I3 ist mit dem Steuereingang eines Schutztransistors ST so verbunden, dass der Inverter den Schutztransistor ST durchschalten kann, um das Störsignal auf der Leitung VDD gegen Bezugspotential VSS abzuleiten. Die Anzahl der Inverter ist dabei unter anderem auf den Kanaltyp des Schutztransistors ST so abgestimmt, dass dieser bei einem ESD-Puls oder einer EMC-Störung durchschaltet. Der Schutztransistor ST ist in seiner Dimensionierung so groß ausgelegt, dass er die an VDD auftretenden Störsignale ableiten kann.

Als grobe Dimensionierungsregel gilt, dass die Schaltung 1 so ausgelegt sein soll, dass die maximale Anstiegszeit von Nutzsignalen auf der Leitung VDD, beispielsweise beim Einschaltvorgang der Spannungsanstieg der Versorgungsspannung, etwa tausend mal langsamer sein soll als die Anstiegszeit des ESD- oder EMC-Pulses ist.

Wenn bei einer Schaltung gemäss Figur 1 die eingangs genannten Probleme des unerwünschten Einschaltens der Schutzschaltung oder der Schwing- bzw. Kippeffekte auftreten, kann die Schaltung wie in Figur 2 beschrieben und gezeigt verbessert 5 werden.

Gemäß Figur 2 weist die Schutzschaltungsanordnung 10 ebenfalls eingangsseitig ein RC-Glied aus dem Widerstand R10 und der Kapazität C10 auf. Beide Elemente können wie R1 und C1 10 als Diffusionswiderstand bzw. Oxidkapazität ausgebildet sein. Eine von dem RC-Glied aus R10 und C10 getriggerte Inverterkette aus den in Serie geschalteten Invertern I10, I11 und I12 steuert ausgangsseitig den Schutztransistor ST als Ableitungstransistor an.

15 Gemäss der Erfindung können mit zweckentsprechend dimensionierten und an geeigneter Stelle in die oben beschriebene ESD-Schutzschaltung, insbesondere die Inverterkette, eingebrachten Pull-Up- und Pull-Down-Widerständen die beschriebenen Probleme wie Schwingneigung und EMC-Überempfindlichkeit 20 beseitigt werden. Die Pull-Up- und Pull-Down-Widerstände sind dabei gegen Versorgungspotential und/oder Bezugspotential geschaltet. Dadurch wiederum kann die Einschaltgeschwindigkeit so geschützter Schaltkreise im Hinblick auf 25 ein Hochfahren der Versorgungsspannung erhöht werden.

Im konkreten Ausführungsbeispiel der Figur 2 bedeutet das, dass der Widerstand R11 zwischen VDD und den Verbindungs- 30 punkt von I11 und I12 geschaltet ist. Andererseits ist der Widerstand R12 zwischen VSS und den Verbindigungspunkt von I10 und I11 geschaltet, während der Widerstand R13 zwischen VSS und den Verbindigungspunkt von I12 und das Gate von ST geschaltet ist. Wenn R10 mit etwa 1 MΩ dimensioniert ist,

betragen im Ausführungsbeispiel die Widerstandswerte von R11 bis R13 etwa jeweils 5 kOhm.

Es hat sich gezeigt, dass die gemäss Figur 2 angeordneten
5 Pull-Up- und Pull-Down-Widerstände R11, R12 und R13 eine be-
schriebene Schwing- oder Kippneigung der Schaltung nach Fi-
gur 1 stark verringern und die EMC-Fähigkeiten der Schaltung
deutlich verbessern. Das bedeutet, dass für einen sicheren
10 Betrieb der Schaltung 10 die Anstiegszeit der Spannungsver-
sorgung bei power-on nur noch etwa einhundert mal langsamer
zu sein braucht als die Anstiegszeit des ESD-Pulses oder des
EMC-Störsignals. Im Vergleich zu Schaltung 1 der Figur 1
heisst das eine um den Faktor 10 schnellere zulässige An-
15 stiegszeit des power-on-Nutzsignals beim Einschalten der
Nutzschaltung. Mit dieser Verbesserung lassen sich gleich-
zeitig das Design und die Spezifikationen der Nutzschaltung
des Produkts verbessern.

Gemäß der besonderen Ausführungsform der Figur 3 sind die
20 Inverter als CMOS-Inverter mit je einem p-Kanal-Transistor
und einem n-Kanal-Transistor ausgebildet. Der p-Kanal-
Transistor P10 bildet zusammen mit dem n-Kanal-Transistor
N10 den ersten Inverter. Entsprechendes gilt für den Inver-
ter aus P11 und N11 sowie aus P12 und N12. Die Widerstände
25 R11 bis R13 können wie in Figur 2 bevorzugt als Diffusions-
widerstände ausgebildet sein.

Das Einschalten der CMOS-Inverter wird im Wesentlichen von
dem Schwellwert der jeweiligen Transistor-Paarung bestimmt.
30 Dieser Schwellwert liegt bei CMOS-Invertern typisch bei der
halben Versorgungsspannung und damit vergleichsweise hoch.
Dadurch ist die Schaltung unempfindlich gegenüber Versor-
gungsschwankungen wie ripple. Umgekehrt ist eine ausgeprägte

ripple-Störung notwendig, um den Schutztransistor durchzuschalten.

In Figur 3 ist die parasitäre Drain-zu-Gate-Kapazität C_{DG} des 5 Schutztransistors ST eingezeichnet. Über diese Kapazität können Störungen direkt auf das Gate von ST gekoppelt werden. Im Fall des Ausführungsbeispiels stellt der parallel zum Widerstand R13 - mit einem Wert von typisch Kiloohm - liegende eingeschaltete Transistor N13 einen niederohmigen 10 Parallelpfad bereit, der die über C_{DG} eingekoppelte Störung auf das Gate von ST nach VSS ableitet und somit im ausgeschalteten Zustand lässt.

Bei einer Ausführung der Widerstände R11 bis R13 als Diffusionswiderstände, die eine nicht-lineare Spannungs-Strom-Kennlinie haben, nimmt der Widerstand mit zunehmendem Strom zu. Im Fall langsamer Störungen und einer kapazitiven Stromkopplung über C_{DG} auf das Gate von ST gewinnt der im durchgeschalteten Zustand niederohmige Transistorzweig durch N12 20 mit zunehmendem Strom mehr Einfluss und begünstigt die Störungsunterdrückung.

Im Gegensatz zu den langsamen Störungen kann bei schnellen ESD-Störungen zusätzlich zu der Einkopplung über C_{DG} auf das 25 Gate von ST ein Störanteil direkt auf das Gate des Schutztransistors ST gekoppelt werden. Dann kann, bevor der Inverter aus P12 und N12 umschaltet, der zunächst noch niederohmige Transistor N12 das Gate von ST nicht mehr stabilisieren und auf VSS halten. Dies ist jedoch günstig, weil der Transistor ST durch diesen parasitären Effekt quasi vorgespannt 30 wird, bevor er durch die ESD-Detektion der Ansteuerschaltung, durch die die Inverter umschalten, aktiviert wird. Der

9

Einsatz von Diffusionswiderständen beschleunigt deshalb die Wirkung der Schutzschaltung und verbessert diese zusätzlich.

Im Fall des power-on hat die Schaltungsanordnung nach Figur 5 2 und insbesondere nach Figur 3 den Vorteil, dass die Widerstände R11 bis R13 mit den Invertern ab Beginn des power-on definierte „aus“-Zustände bereit stellen, die den Transistor ST ausgeschaltet lassen. Eine Schwingung durch einen schnell schaltenden Transistor ST, wie sie bei bekannten Schaltungen 10 durch undefinierte Zustände möglich ist, kann dadurch vermieden werden. Damit kann gemäß Figur 3 ein schnellerer power-on erfolgen und der Schaltungseinrichtung eine erweiterte Anwendung ermöglichen.

Patentansprüche

1. Schaltungsanordnung zum Schutz von integrierten Halbleiterorschaltungen vor elektrischen Pulsen oder elektrischen Überspannungen mit
 - einem RC-Element aus einem ersten Widerstand (R1; R10) und einer Kapazität (C1; C10), das zwischen zwei Versorgungspotentialleitungen (VDD, VSS) geschaltet ist,
 - einer Kette aus hintereinander geschalteten Invertern (I10 - I12), die eingangsseitig mit dem Verbindungspunkt des ersten Widerstands (R1; R10) und der Kapazität (C1; C10) verbunden ist, und
 - mit einem Schutztransistor (ST), der an seinem Steuereingang mit dem Ausgang der Inverterkette verbunden und ausgangsseitig mit den zwei Versorgungspotentialleitungen (VDD, VSS) verbunden ist, dadurch gekennzeichnet, dass die Verbindungspunkte der Inverter (I10 - I12) untereinander und mit dem Schutztransistor (ST) jeweils mit einem Widerstand (R11, R12, R13) verbunden sind, wobei die Widerstände an ihrem jeweils anderen Anschluss mit einer der Versorgungspotentialleitungen (VDD, VSS) verbunden sind.
2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, dass die Widerstände wechselseitig mit je einer der Versorgungspotentialleitungen (VDD, VSS) verbunden sind.
3. Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der Eingang des letzten Inverters (I12) der Inverterkette über einen der Widerstände (R11) mit der einen Versorgungspotentialleitung (VDD) und der Ausgang des letzten Inverters (I12) der Inverterkette über einen anderen der Widerstände (R12) mit der anderen Versorgungspotentiallei-

11

tung (VSS) und mit dem Steuereingang des Schutztransistors (ST) verbunden ist.

4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3, da-
5 durch gekennzeichnet,

dass die Inverter als CMOS-Inverter (P11, N11; P12, N12; P13, N13) ausgebildet sind.

5. Schaltungsanordnung nach einem der Ansprüche 1 bis 4, da-
10 durch gekennzeichnet,

dass die Widerstände als Diffusionswiderstände ausgeführt sind.

6. Schaltungsanordnung nach einem der Ansprüche 1 bis 5, da-
15 durch gekennzeichnet,

dass der erste Widerstand (R10) ein Diffusionswiderstand ist.

7. Schaltungsanordnung nach einem der Ansprüche 1 bis 6, da-
20 durch gekennzeichnet,

dass die Kapazität (C1; C10) eine Oxidkapazität ist.

FIG 1

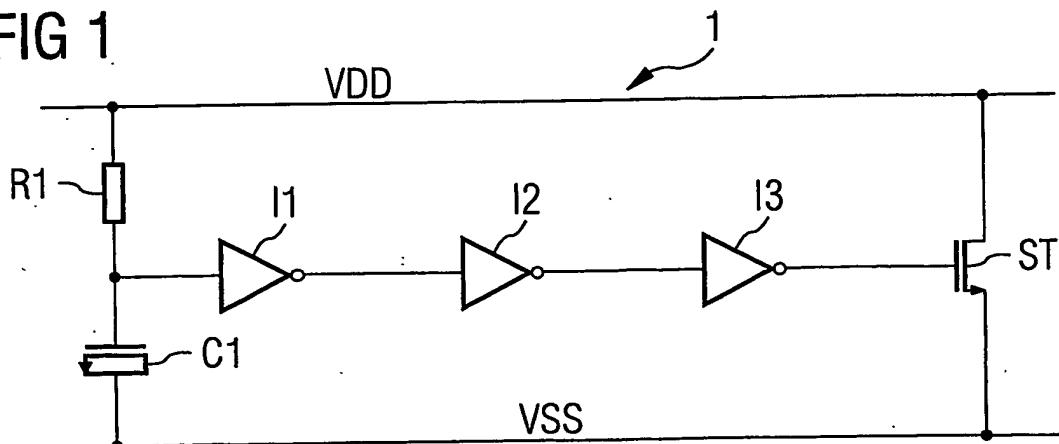


FIG 2

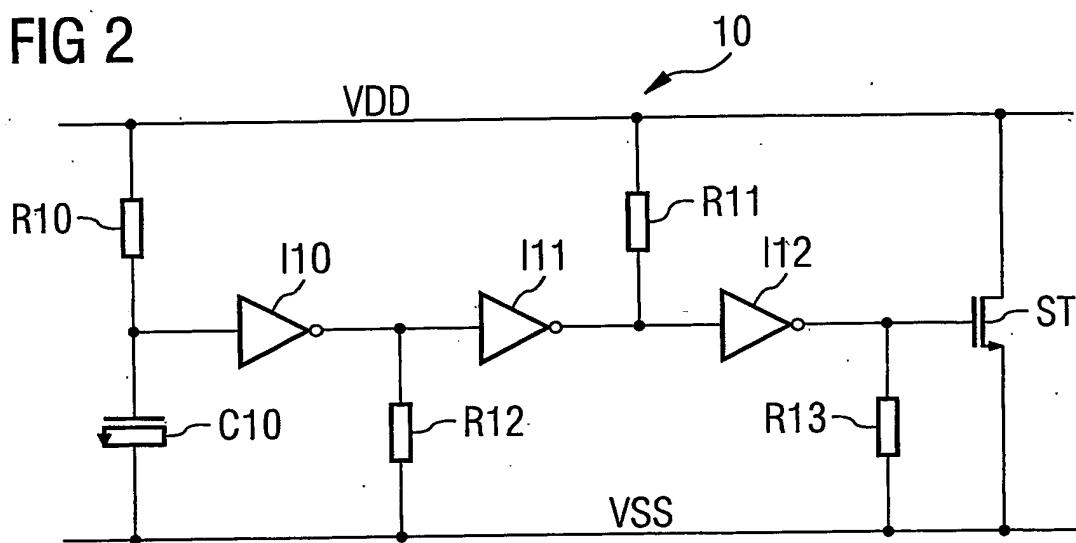


FIG 3

